

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 11-177060

(43)Date of publication of application : 02.07.1999

(51)Int.Cl.

H01L 27/108
H01L 21/8242

(21)Application number : 09-363013

(71)Applicant : NIPPON STEEL CORP

(22)Date of filing : 12.12.1997

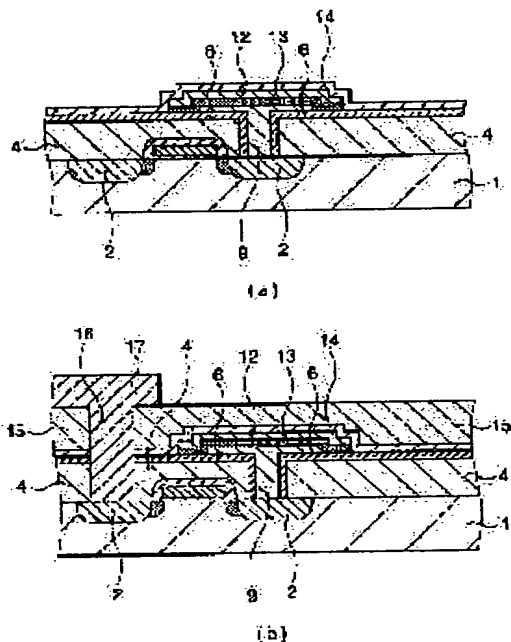
(72)Inventor : UCHIYAMA TOMOYUKI

(54) SEMICONDUCTOR DEVICE AND ITS MANUFACTURE

(57)Abstract:

PROBLEM TO BE SOLVED: To provide a semiconductor device having such a structure that can prevent intrusion of hydrogen into a capacitor insulating film having a high dielectric constant.

SOLUTION: A periphery of a capacitor provided with a lower electrode 9, an upper electrode 12, and a dielectric film 13 (tantalum oxide film) is covered with silicon nitride films 6 and 14. Since intrusion of hydrogen into the dielectric film 13 can be prevented in a hydrogen sintering process by means of the silicon nitride films 6 and 14, deterioration of the dielectric constant of the capacitor composed of a high dielectric or ferroelectric film can be suppressed.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平11-177060

(43) 公開日 平成11年(1999) 7月2日

(51) Int.Cl.⁵

識別記号

F I

H 0 1 L 27/108
21/8242

H 0 1 L 27/10

6 2 1 Z
6 5 1

審査請求 未請求 請求項の数12 F D (全 7 頁)

(21) 出願番号

特願平9-363013

(22) 出願日

平成9年(1997)12月12日

(71) 出願人 000006655

新日本製鐵株式会社

東京都千代田区大手町2丁目6番3号

(72) 発明者 内山 朋幸

東京都千代田区大手町2-6-3 新日本
製鐵株式会社内

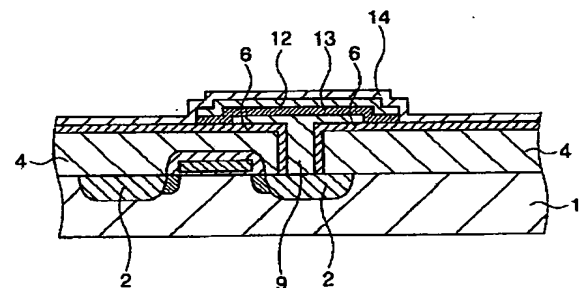
(74) 代理人 弁理士 國分 孝悦

(54) 【発明の名称】 半導体装置及びその製造方法

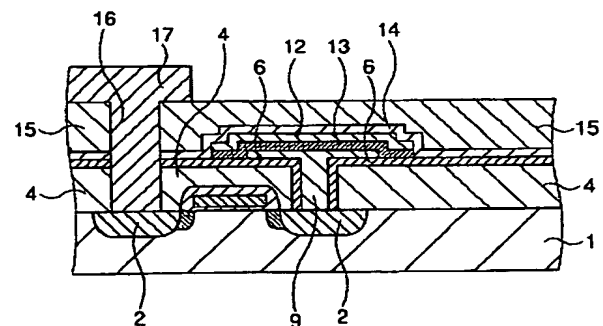
(57) 【要約】

【課題】 高誘電率を有するキャパシタ絶縁膜に、水素を侵入させない構造を備えた半導体装置及びその製造方法を提供する。

【解決手段】 下部電極9、上部電極12及び誘電体膜13(酸化タンタル膜10)を備えたキャパシタは、周囲をシリコン窒化膜6とシリコン窒化膜14によって覆われている。シリコン窒化膜6、14によって、水素シター工程における水素の誘電体膜13への侵入を防ぐことができるため、高誘電体膜あるいは強誘電体膜からなるキャパシタの誘電率の低下を抑制することができる。



(a)



(b)

【特許請求の範囲】

【請求項1】 半導体基板上の拡散層と接続された第1の導電膜と、

前記第1の導電膜上に形成された誘電体膜と、
前記誘電体膜上に形成され、前記誘電体膜を介して前記第1の導電膜と対向する第2の導電膜とからなるキャパシタを備え、
前記第1の導電膜と前記拡散層との接続部以外の前記キャパシタの周囲が水素の透過性の低い膜によって覆われていることを特徴とする半導体装置。

【請求項2】 前記半導体基板上に形成されており、ソース／ドレインとなる一対の前記拡散層と前記拡散層間におけるチャンネル上に形成されたゲートからなる選択トランジスタを備え、
前記キャパシタがメモリキャパシタとして機能することを特徴とする請求項1に記載の半導体装置。

【請求項3】 前記拡散層上に形成され前記拡散層に達する開孔が形成された層間絶縁膜と、
前記層間絶縁膜上から前記開孔の側壁を覆うように形成された第1の絶縁膜と、
前記第2の導電膜上を覆うように形成された第2の絶縁膜とを備え、
前記第1の導電膜は前記開孔を充填することによって前記拡散層と接続され、
前記第2の絶縁膜が前記キャパシタの領域外では前記第1の絶縁膜上に形成され、前記第1の絶縁膜と前記第2の絶縁膜が一体となって前記水素の透過性の低い膜を構成することを特徴とする請求項1又は2に記載の半導体装置。

【請求項4】 前記誘電体膜が、タンタル酸化物、BST化合物、PZT化合物、PLZT化合物から選ばれた少なくとも1種類の材料からなることを特徴とする請求項1～3のいずれか1項に記載の半導体装置。

【請求項5】 少なくとも前記第1の導電膜又は前記第2の導電膜のいずれか一方が、チタン化合物、タンゲステン化合物、ルテニウム化合物、白金から選ばれた少なくとも1種類の材料からなることを特徴とする請求項1～4のいずれか1項に記載の半導体装置。

【請求項6】 前記水素の透過性の低い膜はシリコン窒化膜であることを特徴とする請求項1～5のいずれか1項に記載の半導体装置。

【請求項7】 前記第1及び第2の絶縁膜はシリコン窒化膜であることを特徴とする請求項2～6のいずれか1項に記載の半導体装置。

【請求項8】 ゲート及び一対の拡散層からなるトランジスタが形成された半導体基板上に層間絶縁膜を形成する第1の工程と、
前記層間絶縁膜を穿って、前記一対の拡散層の一方を露出させる開孔を形成する第2の工程と、
前記層間絶縁膜上に水素の透過性の低い第1の絶縁膜を

形成して、前記層間絶縁膜の表面、露出した前記拡散層及び前記開孔の側面を覆う第3の工程と、

前記拡散層上の前記第1の絶縁膜を除去して、前記拡散層を露出させる第4の工程と、

前記第1の絶縁膜上に第1の導電膜を形成して、前記開孔を充填する第5の工程と、

前記開孔から前記層間絶縁膜上へ連なる前記第1の導電膜を前記層間絶縁膜上で島状にパターニングする第6の工程と、

前記第1の導電膜を覆うように誘電体膜を形成する第7の工程と、

前記誘電体膜上に第2の導電膜を形成する第8の工程と、

前記誘電体膜及び前記第2の導電膜をパターニングして、少なくとも前記第1の導電膜上には前記誘電体膜及び前記第2の導電膜を残す第9の工程と、

前記誘電体膜上及び前記第2の導電膜上を含む全面に水素の透過性の低い第2の絶縁膜を形成して、前記層間絶縁膜上において前記第1の絶縁膜と前記第2の絶縁膜を一体の絶縁膜とする第10の工程とを有することを特徴とする半導体装置の製造方法。

【請求項9】 前記誘電体膜が、タンタル酸化物、BST化合物、PZT化合物、PLZT化合物から選ばれた少なくとも1種類の材料からなることを特徴とする請求項8に記載の半導体装置の製造方法。

【請求項10】 少なくとも前記第1の導電膜又は前記第2の導電膜のいずれか一方が、チタン化合物、タンゲステン化合物、ルテニウム化合物、白金から選ばれた少なくとも1種類の材料からなることを特徴とする請求項8又は9に記載の半導体装置の製造方法。

【請求項11】 前記第1及び第2の絶縁膜がシリコン窒化膜であることを特徴とする請求項8～10のいずれか1項に記載の半導体装置の製造方法。

【請求項12】 前記第10の工程後、前記半導体基板を水素シンターする第11の工程を更に有することを特徴とする請求項8～11のいずれか1項に記載の半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は、特に高誘電体膜、強誘電体膜等の高キャパシタ絶縁膜からなるキャパシタ構造を備えた半導体装置及びその製造方法に関する。

【0002】

【従来の技術】 近時における半導体装置の微細化に伴い、DRAM等のメモリキャパシタの誘電体膜として高誘電体膜、強誘電体膜が注目されている。従来のキャパシタ絶縁膜として知られているシリコン酸化物膜、シリコン窒化膜等では微細化に対応することが困難になってきたためである。

【0003】 すなわち、シリコン酸化物膜及びシリコン窒

化膜の比誘電率がそれぞれ 3.9、7.5 程度であるのに対し、上述した高誘電体膜、強誘電体膜の比誘電率は 20～1000 程度と非常に大きくとれるため、単位面積当りの電荷蓄積を大きくすることが可能となるからである。

【0004】従って、これらの高誘電体膜あるいは強誘電体膜を用いることによって、従来のキャパシタ絶縁膜と同一のキャパシタ容量を確保したとしても、大幅に面積を小さくすることができる。

【0005】高誘電体膜としてはタンタル酸化物、BST 化合物等が、強誘電体膜としては PZT 化合物、PLZT 化合物等が知られている。そして、これらの比誘電率の大きいキャパシタ絶縁膜によって、64 メガビット級以上の DRAM への適用が期待されている。

【0006】しかしながら、高誘電体膜、強誘電体膜を用いたキャパシタにおいては、所望のキャパシタ容量を理論的には確保できるものの、製造工程中において従来のキャパシタ絶縁膜では発生しない別の問題が生じていた。

【0007】シリコン基板上に選択トランジスタを含む DRAM を形成した場合には、その最終工程において水素シンター工程を施すのが一般的である。この水素シンター工程は、選択トランジスタのゲート酸化膜の界面準位を小さくすることを目的の一つとしており、トランジスタ特性の安定化のためには欠かすことのできない工程である。

【0008】そして、この水素シンター工程によって、高誘電体膜、強誘電体膜の誘電率が低下してしまうという問題が発生していた。水素シンターによる水素が層間絶縁膜であるシリコン酸化膜、下部電極、上部電極等を通じてキャパシタ絶縁膜中に拡散するのが原因である。これにより、本来の高誘電率特性を最大限に活用できないことになる。

【0009】この問題を解決するために、水素の影響を受けないようにキャパシタ絶縁膜の周囲を覆う方法が特開平 9-97883 号公報に開示されている。同公報中の記載によれば、強誘電体膜を用いたキャパシタ構造を、4A 族遷移金属、5A 族遷移金属若しくはこれらの金属の窒化物、シリコン窒化物、ニッケル又はパラジウムから構成された保護膜によって覆うため、この保護膜によって水素を吸蔵あるいは遮蔽してキャパシタ絶縁膜への悪影響を低減することができるとしている。

【0010】

【発明が解決しようとする課題】しかし、特開平 9-97883 号公報に記載された方法では、複雑な工程を経て上下 2 ケ所に分割された保護膜を形成するにもかかわらず、この 2 か所の保護膜が接続されていないため、キャパシタ絶縁膜の周囲を隙間のない状態で完全に覆うことができなかった。

【0011】従って、水素シンターによる水素の拡散を

完全に防止することができず、保護膜の形成されていない領域から侵入した水素が、強誘電体膜の誘電率を低下させる恐れがあった。

【0012】また、半導体基板上の素子分離構造の上層にキャパシタ部を形成して、キャパシタの一方の電極と拡散層を配線層で接続する構成にした場合には、更に煩雑な製造工程を必要とし、これによりコストが上昇する恐れもあった。

【0013】本発明は、このような問題を解決するために成されたものであり、高誘電体膜、強誘電体膜をキャパシタ絶縁膜として用いる半導体装置において、工程を煩雑化させることなくキャパシタ絶縁膜に水素が侵入しない構造を備えた半導体装置及びその製造方法を提供することにある。

【0014】

【課題を解決するための手段】本発明の半導体装置は、半導体基板上の拡散層と接続された第 1 の導電膜と、前記第 1 の導電膜上に形成された誘電体膜と、前記誘電体膜上に形成され、前記誘電体膜を介して前記第 1 の導電膜と対向する第 2 の導電膜とからなるキャパシタを備え、前記第 1 の導電膜と前記拡散層との接続部以外の前記キャパシタの周囲が水素の透過性の低い膜によって覆われている。

【0015】本発明の半導体装置の一態様例においては、前記半導体基板上に形成されており、ソース/ドレインとなる一対の前記拡散層と前記拡散層間におけるチャンネル上に形成されたゲートからなる選択トランジスタを備え、前記キャパシタがメモリキャパシタとして機能する。

【0016】本発明の半導体装置の一態様例においては、前記拡散層上に形成され前記拡散層に達する開孔が形成された層間絶縁膜と、前記層間絶縁膜上から前記開孔の側壁を覆うように形成された第 1 の絶縁膜と、前記第 2 の導電膜上を覆うように形成された第 2 の絶縁膜とを備え、前記第 1 の導電膜は前記開孔を充填することによって前記拡散層と接続され、前記第 2 の絶縁膜が前記キャパシタの領域外では前記第 1 の絶縁膜上に形成され、前記第 1 の絶縁膜と前記第 2 の絶縁膜が一体となって前記水素の透過性の低い膜を構成する。

【0017】本発明の半導体装置の一態様例においては、前記誘電体膜が、タンタル酸化物、BST 化合物、PZT 化合物、PLZT 化合物から選ばれた少なくとも 1 種類の材料からなる。

【0018】本発明の半導体装置の一態様例においては、少なくとも前記第 1 の導電膜又は前記第 2 の導電膜のいずれか一方が、チタン化合物、タングステン化合物、ルテニウム化合物、白金から選ばれた少なくとも 1 種類の材料からなる。

【0019】本発明の半導体装置の一態様例においては、前記水素の透過性の低い膜はシリコン窒化膜であ

る。

【0020】本発明の半導体装置の一態様例においては、前記第1及び第2の絶縁膜はシリコン窒化膜である。

【0021】本発明における半導体装置の製造方法は、ゲート及び一对の拡散層からなるトランジスタが形成された半導体基板上に層間絶縁膜を形成する第1の工程と、前記層間絶縁膜を穿って、前記一对の拡散層の一方を露出させる開孔を形成する第2の工程と、前記層間絶縁膜上に水素の透過性の低い第1の絶縁膜を形成して、前記層間絶縁膜の表面、露出した前記拡散層及び前記開孔の側面を覆う第3の工程と、前記拡散層上の前記第1の絶縁膜を除去して、前記拡散層を露出させる第4の工程と、前記第1の絶縁膜上に第1の導電膜を形成して、前記開孔を充填する第5の工程と、前記開孔から前記層間絶縁膜上へ連なる前記第1の導電膜を前記層間絶縁膜上で島状にパターニングする第6の工程と、前記第1の導電膜を覆うように誘電体膜を形成する第7の工程と、前記誘電体膜上に第2の導電膜を形成する第8の工程と、前記誘電体膜及び前記第2の導電膜をパターニングして、少なくとも前記第1の導電膜上には前記誘電体膜及び前記第2の導電膜を残す第9の工程と、前記誘電体膜上及び前記第2の導電膜上を含む全面に水素の透過性の低い第2の絶縁膜を形成して、前記層間絶縁膜上において前記第1の絶縁膜と前記第2の絶縁膜を一体の絶縁膜とする第10の工程とを有する。

【0022】本発明における半導体装置の製造方法の一態様例においては、前記誘電体膜が、タンタル酸化物、BST化合物、PZT化合物、PLZT化合物から選ばれた少なくとも1種類の材料からなる。

【0023】本発明における半導体装置の製造方法の一態様例においては、少なくとも前記第1の導電膜又は前記第2の導電膜のいずれか一方が、チタン化合物、タングステン化合物、ルテニウム化合物、白金から選ばれた少なくとも1種類の材料からなる。

【0024】本発明における半導体装置の製造方法の一態様例においては、前記第1及び第2の絶縁膜がシリコン窒化膜である。

【0025】本発明における半導体装置の製造方法の一態様例においては、前記第10の工程後、前記半導体基板を水素シンターする第11の工程を更に有する。

【0026】

【作用】本発明によれば、拡散層との接触部以外のキャパシタの全領域が、水素の透過性の低い絶縁膜によって覆われているため、キャパシタに使用されている高誘電体膜、強誘電体膜への水素の取り込みを防ぐことができ、誘電率の低下を抑制することができる。また、半導体基板上に形成された素子は上記絶縁膜によって覆われないため、水素シンター工程を施すことによって半導体素子の電気的特性を向上させることが可能である。

【0027】

【発明の実施の形態】以下、本発明の一実施形態を図面に基づいて説明する。図1～図3は本発明の一実施形態に係るDRAMのメモリキャパシタの製造工程を示す概略断面図である。

【0028】まず、図1(a)に示すように、一对の不純物拡散層2とゲート3からなるMOSトランジスタが形成されたp型シリコン半導体基板1上に、低圧CVD法によりシリコン酸化膜4を厚く堆積する。

【0029】その後、フォトリソグラフィ及びこれに続くドライエッチングにより、シリコン酸化膜4にセルコンタクトホール5を開孔して不純物拡散層2の一方を露出させる。

【0030】次に、図1(b)に示すように、全面にCVD法により膜厚30nm程度のシリコン窒化膜6を形成する。これにより、セルコンタクトホール5の側壁にもシリコン窒化膜6が形成される。

【0031】次に、図1(c)に示すように、スパッタ法によりシリコン窒化膜6上に膜厚50nm程度の窒化チタン膜7を形成する。このようにスパッタ法により窒化チタン膜7を形成することによって、セルコンタクトホール5の側壁には窒化チタン膜7がほとんど形成されないことになる。

【0032】次に、図1(d)に示すように、フッ化炭素系のガスを用いてリアクティブエッチングを行う。この際、エッチャントの方向性を制御することによりセルコンタクトホール5内の底部、すなわち、不純物拡散層2上に形成されたシリコン窒化膜6のみを除去するようにする。

【0033】次に、図2(a)に示すように、CVD法により膜厚50nm程度の窒化チタン膜8を形成する。このようにCVD法により窒化チタン膜8を形成することによって、セルコンタクトホール5内にも窒化チタン膜8を形成することができる。そして、窒化チタン膜8によってセルコンタクトホール5が埋め込まれる。

【0034】次に、図2(b)に示すように、フォトリソグラフィ及びこれに続くドライエッチングにより積層された窒化チタン膜7と窒化チタン膜8をともにパターニングして、窒化チタン膜7、8からなるキャパシタの下部電極9を形成する。

【0035】この状態では、セルコンタクトホール5の内壁及びシリコン酸化膜4は、シリコン窒化膜6によって被覆されているため、下部電極9は不純物拡散層2との接触部以外はシリコン窒化膜6と接触していることになる。

【0036】次に、図2(c)に示すように、CVD法により下部電極9上を含む全面に、膜厚15nm程度の酸化タンタル(Ta_2O_5)膜10を形成する。その後、CVD法により酸化タンタル膜10上に、膜厚100nm程度の窒化チタン膜11を形成する。

【0037】この酸化タンタル膜10は、高誘電率を有する誘電体膜であるが、酸化タンタル膜10の代わりにBST化合物を用いてもよい。また、強誘電体膜であるPZT化合物、PLZT化合物等を用いてもよい。

【0038】次に、図2(d)に示すように、フォトリソグラフィ及びこれに続くドライエッチングにより、酸化タンタル膜10と窒化チタン膜11をパターニングする。これにより、窒化チタン膜11からなるキャパシタの上部電極12が形成され、上部電極12と下部電極9の間には酸化タンタル膜10からなる所定形状の誘電体膜13が形成される。

【0039】次に、図3(a)に示すように、上部電極12上を含む全面にシリコン窒化膜14を形成して、下部電極9、誘電体膜13及び上部電極12からなるキャパシタを埋め込む。これにより、下部に形成されたシリコン窒化膜6と上部に形成されたシリコン窒化膜14によってキャパシタが完全に覆われることになる。

【0040】次に、図3(b)に示すように、全面にCVD法により膜厚が200nm程度のシリコン酸化膜15を形成する。その後、シリコン酸化膜4、シリコン窒化膜6、14及びシリコン酸化膜15を貫通して不純物拡散層2に達するコンタクトホール16を開孔する。そして、スパッタ法によりビット線となるアルミニウム配線層17を形成して、コンタクトホール16を充填することによって、本実施形態におけるDRAMのメモリキャパシタが完成する。

【0041】そして、DRAMのメモリキャパシタの完成後、水素と窒素の混合雰囲気下で温度400℃～450℃程度にすることによって水素シンターを施す。この際、酸化タンタル膜10からなる誘電体膜13は、シリコン窒化膜6とシリコン窒化膜14によって完全に周囲を覆われているため、水素原子の拡散がシリコン窒化膜4、14によって阻止され、誘電体膜13まで到達することはない。

【0042】これにより、酸化タンタル膜10からなる誘電体膜13の誘電率の低下が抑止されることとなり、酸化タンタル膜10の高誘電率を劣化させることなく、水素シンターを実施することができる。

【0043】そして、水素シンター工程により、p型シリコン半導体基板1に形成されたトランジスタには水素が十分に拡散するため、選択トランジスタのゲート酸化膜の界面準位を小さくすることが可能となり、DRAM

メモリキャパシタの電気的特性を向上させることができる。

【0044】以上説明したように本実施形態によれば、高誘電体膜あるいは強誘電体膜からなる誘電体膜13をシリコン窒化膜6、14によって覆うため、後工程での水素の侵入を防ぐことができる。従って、高誘電体膜の誘電率を確保した状態でDRAMメモリキャパシタに適用することが可能となる。

【0045】なお、本実施形態においては、下部電極9、上部電極13はともに窒化チタン膜を用いて形成したが、白金等の単体金属、あるいは窒化タングステン膜、酸化ルテニウム膜のいずれか、あるいはこれらの膜の積層膜を用いてもよい。

【0046】

【発明の効果】本発明によれば、高誘電体膜、強誘電体膜からなるキャパシタ絶縁膜を有する半導体装置において、工程を煩雑化することなくキャパシタ絶縁膜に水素を侵入させない構造を形成することができる。従って、高誘電体膜、強誘電体膜を用いた微細化に最適な半導体装置と、その製造方法を提供することができる。

【図面の簡単な説明】

【図1】本発明の一実施形態に係るDRAMメモリキャパシタの製造工程を示す断面図である。

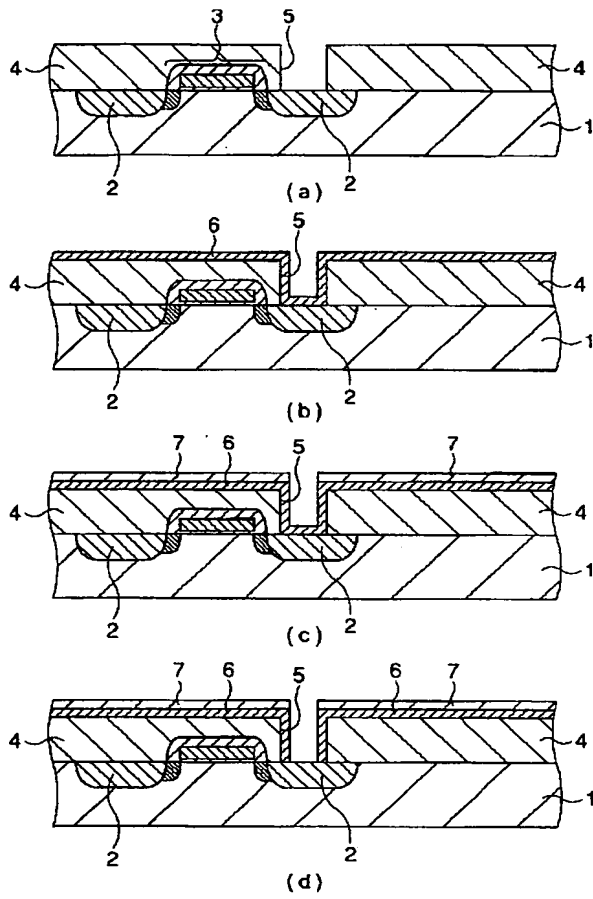
【図2】図1に続いて、本発明の一実施形態に係るDRAMメモリキャパシタの製造工程を示す断面図である。

【図3】図2に続いて、本発明の一実施形態に係るDRAMメモリキャパシタの製造工程を示す断面図である。

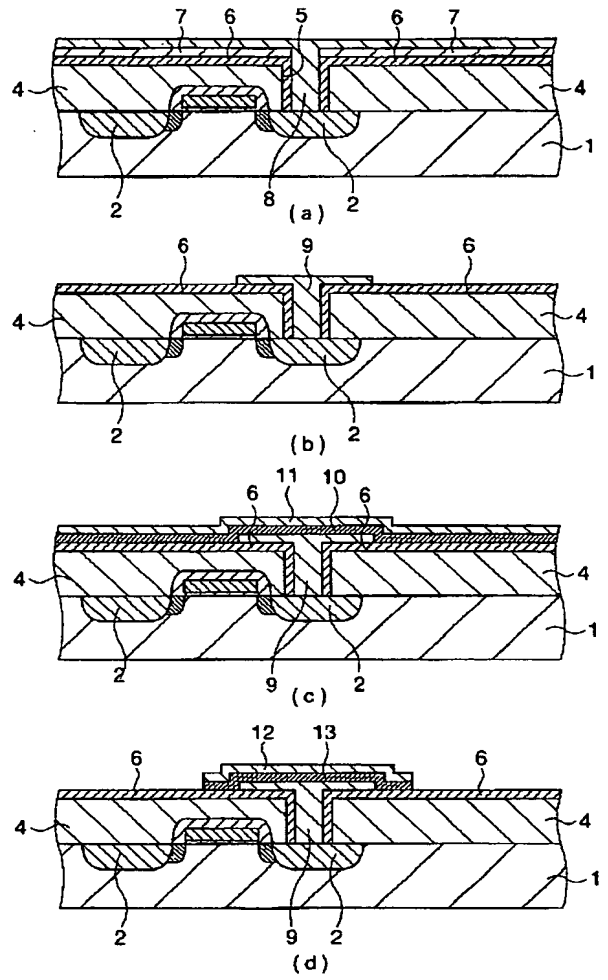
【符号の説明】

- 1 p型シリコン半導体基板
- 2 不純物拡散層
- 3 ゲート
- 4, 15 シリコン酸化膜
- 5 セルコンタクトホール
- 6, 14 シリコン窒化膜
- 7, 8, 11 窒化チタン膜
- 9 下部電極
- 10 酸化タンタル膜
- 12 上部電極
- 13 誘電体膜
- 16 コンタクトホール
- 17 アルミニウム配線層

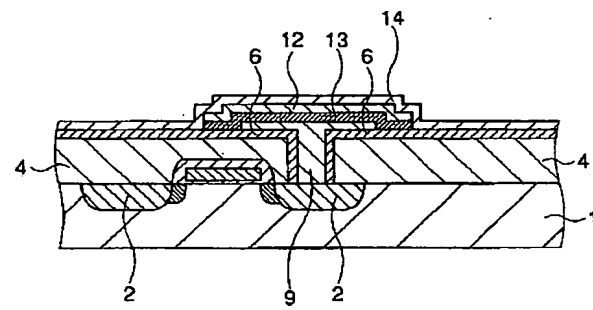
【図1】



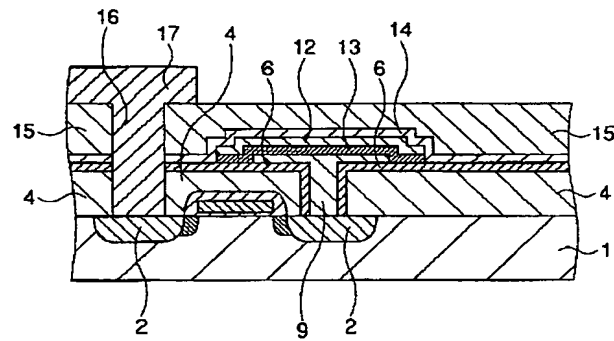
【図2】



【図 3】



(a)



(b)